

Title of Invention: Display Controlling Apparatus
Publication Number: Japanese Patent Application Laid-open
Sho 60 No. 257491
Publication Date: December 14, 1985 Priority Country: Japan
Application Number: Japanese Patent Application Sho 59 No. 113422
Application Date: June 1, 1984
Applicant: Panafakomu (0 ← number of other applicants)
Inventor: Yoji HASHIMOTO (2 ← number of other inventors)
Int. Cl⁴: G 09 G 1/06, G 06 F 3/14

Configuration:

Fig. 2 shows a schematic circuit diagram illustrating an example of a display controlling apparatus. In Fig. 2, pattern memories 4 and 5 are four-bit memories storing a background pattern. Shift resistors 6 and 7 are four-bit shift resistors for repeatedly outputting the patterns of the loaded content of the pattern memories 4 and 5. Flip-flop 8 is for providing pattern selection signal whose output is reversed by horizontal synchronizing signal into and-gates 12 and 13 and initialized by vertical synchronizing signal. Area judgement circuit 9 is for judging areas for four windows. When it is judged that one of scanned areas belongs to one of the windows, window video data is output by way of or-gate 11 from and-gate 14 by way of or-gate 10. Fig. 3 illustrates operation of the display controlling apparatus of Fig. 2. In Fig. 3, "0100" is set for the pattern memory 4 while "0001" is set for the pattern memory 5, respectively. First, as the flip-flop 8 is initialized by a vertical synchronizing signal and display from above-left side of the screen starts, output of the flip-flop 8 becomes logic "1" for the and-gate 12 while it becomes logic "0" for the and-gate 13. In this while, if yes/no judgement of the area judgement circuit 9 for existence of window is "No", output of the or-gate 10 becomes logic "0". As the result, among the and-gates 12 to 14, the and-gate 12 alone outputs pattern data according to raster scanning, thus repeated pattern of "0100"

is displayed on the first raster on the screen as shown in Fig. 3. As the process enters into the second raster, output of the flip-flop is revered due to the horizontal synchronizing signal, this time, among the and-gates 12 to 14, the and-gate 13 alone outputs the pattern data according to raster scanning, thus repeated pattern of "0001" is displayed on the second raster on the screen as shown in Fig. 3. However, in the fifth bit for the fourth raster as shown in Fig. 3, when the raster scanning enters the window area, judgement for yes/no of existence of the window is switched from "No" to "Yes", which results in switching of output from or-gate 10 from logic "0" to logic "1". As the result, the and-gates 12 and 13 are inhibited while the and-gate 14 alone outputs the window video data according to the raster scanning this time, thus the window is displayed on the screen.

Fig. 2

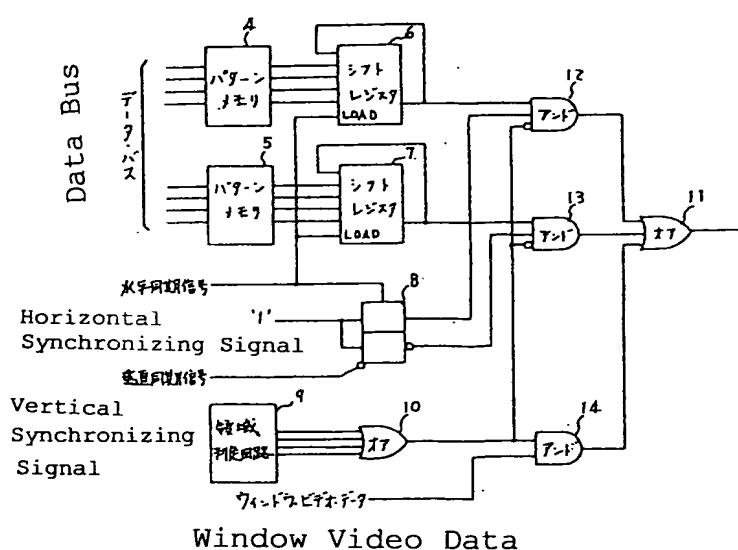
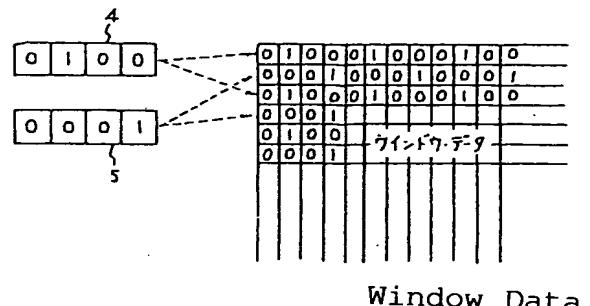


Fig. 3



4, 5: Pattern Memory

6, 7: Shift Resistor

9: Area Judgement Circuit

10, 11: Or Gate

12, 13, 14: And Gate

⑨ 日本国特許庁 (JP) ⑩ 特許出願公開
 ⑫ 公開特許公報 (A) 昭60-257491

⑥Int.Cl.
 G 09 G 1/06
 G 06 F 3/14

識別記号 厅内整理番号
 7923-5C
 7622-5B

⑪公開 昭和60年(1985)12月19日

審査請求 有 発明の数 1 (全3頁)

⑬発明の名称 表示制御装置

⑭特 願 昭59-113422
 ⑮出 願 昭59(1984)6月1日

⑯発明者 橋本洋司 大和市深見西4丁目2番49号 パナファコム株式会社内
 ⑯発明者 五十川孝夫 大和市深見西4丁目2番49号 パナファコム株式会社内
 ⑯発明者 松沼直樹 大和市深見西4丁目2番49号 パナファコム株式会社内
 ⑯出願人 パナファコム株式会社 大和市深見西4丁目2番49号
 ⑯代理人 弁理士 長谷川文廣 外1名

明細書

1. 発明の名称

表示制御装置

2. 特許請求の範囲

ビット・マップ構造のビデオ・メモリから複数枚のウインドウを切り出して画面に表示するマルチ・ウインドウの表示制御装置において、指定された一定のバターンの繰り返しバターンを発生する背景バターン発生手段を備え、ウインドウが表示されない背景画面の領域に対して上記背景バターン発生手段で発生した繰り返しバターンを表示するようにしたことを特徴とする表示制御装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、ビット・マップ構造のビデオRAMから複数枚のウインドウを切り出してCRTディスプレイに表示し、該ウインドウが表示されない背景画面上に一定の繰り返しバターンを表示するようにした表示制御装置に関するものである。

(従来の技術)

第1図はビット・マップ構造のビデオRAMを備えたCRTディスプレイを説明する図であり、1はビデオRAM、2は表示制御装置、3は画面をそれぞれ示している。

第1図図示の如きビット・マップ構造のビデオRAM1を備えたCRTディスプレイでは、画面3上に任意の大きさの矩形領域(ウインドウ)を定義し、それぞれに別々の情報を表示するマルチ・ウインドウ表示方式が採用されている。

マルチ・ウインドウの背景(図示斜線部)は、全白や全黒、中間調等で表示され、従来、ソフトウェアにより処理されていた。具体的には、一定のバターンをビデオRAM1の残りの表示領域に書き込むことにより、書き込まれたビデオRAM1の内容に従って背景の表示をも行うようにしていた。

(発明が解決しようとする問題)

しかしながら、上述の如き従来の技術では、ウインドウの表示領域の変更に伴う背景の作成が多

量であるため、ウインドウ表示制御の速度を向上させることができ難しく、また、ビデオRAM1においては、背景用としての領域を確保するため、それだけ容量の大きなものを必要としていた。

本発明は、上記の考察に基づくものであって、ウインドウ表示制御における背景処理の高速化を図ると共に、背景用ビデオRAMの要らない表示制御装置を提供することを目的とするものである。

〔問題点を解決するための手段〕

そのため本発明の表示制御装置は、ピット・マップ構造のビデオ・メモリから複数枚のウインドウを切り出して画面上に表示するマルチ・ウインドウの表示制御装置において、指定された一定のパターンの繰り返しパターンを発生する背景パターン発生手段を備え、ウインドウが表示されない背景画面の領域に対して上記背景パターン発生手段で発生した繰り返しパターンを表示するようにしたことを特徴とするものである。

〔作用〕

本発明は、上述の如き手段を備えることにより、

ウインドウの表示領域に対してはウインドウ・ビデオ・データをビデオ・メモリから読み出してビデオ・データとして送出し、ウインドウが表示されない背景画面の領域に対しては背景パターン発生手段からの背景用の繰り返しパターンをビデオ・データとして送出する。従って、ウインドウの表示領域の変更があっても、特に、その都度背景パターンの作成を行う必要はなく、ビデオRAM1に背景パターンを書き込む必要もない。背景パターン発生手段からの背景用の繰り返しパターンをウインドウが表示されない背景画面の領域に対応して送出すればよい。

〔実施例〕

以下、本発明の実施例を図面を参照しつつ説明する。

第2図は本発明の1実施例構成を示す図、第3図は背景のパターン設定例を示す図である。図において、4と5はパターン・メモリ、6と7はシフト・レジスタ、8はフリップ・フロップ、9は領域判定回路、10と11はオア・ゲート、12ないし

14はアンド・ゲートをそれぞれ示している。

第2図において、パターン・メモリ4と5は背景のパターンが格納される4ビットのメモリであり、シフト・レジスタ6と7は水平同期信号によりパターン・メモリ4と5の内容がロードされ、このパターンを繰り返し出力する4ビットのシフト・レジスタである。フリップ・フロップ8は、水平同期信号で出力が反転するパターン選択信号をアンド・ゲート12と13に供給し、垂直同期信号で初期化されるものである。領域判定回路9は、4枚のウインドウの領域を判定するものであり、走査中の領域がいずれかのウインドウの領域である場合にはオア・ゲート10を通してアンド・ゲート14からウインドウ・ビデオ・データをオア・ゲート11を通して出力する。

次に、第3図図示のパターン設定例を参照しつつ第2図図示の表示制御装置の動作を説明する。ここで、背景のパターンとしては、第3図図示の如く、パターン・メモリ4には「0100」、パターン・メモリ5には「0001」がそれぞれ設

定されるものとする。まず、フリップ・フロップ8が垂直同期信号で初期化され、画面左上からの表示が開始されると、フリップ・フロップ8の出力(パターン選択信号)は、アンド・ゲート12に対する出力が論理「1」となり、アンド・ゲート13に対する出力が論理「0」となる。またこのとき領域判定回路9におけるウインドウの有無の判定が「無」であれば、オア・ゲート10の出力は論理「0」となる。その結果アンド・ゲート12ないし14において、アンド・ゲート12のみがラスク走査に従ってパターン・データを出力し、画面上の1ラスク目には第3図図示の如く「0100」の繰り返しパターンを表示する。そして、次の2ラスク目に入るときには、水平同期信号によりフリップ・フロップ8の出力が反転するため、今度は、アンド・ゲート12ないし14において、アンド・ゲート13のみがラスク走査に従ってパターン・データを出力し、画面上の2ラスク目には第3図図示の如く「0001」の繰り返しパターンを表示する。続いて、3ラスク目、4ラスク目へと移って

行くに従って同様の動作を繰り返し、奇数ラスタ目には「0100」の繰り返しパターンを、また偶数ラスタ目には「0001」の繰り返しパターンを表示する。しかし、第3図の4ラスタ目の5ビット目に示す如く、ラスタ走査がウインドウの領域に入ると、領域判定回路9におけるウインドウの有無の判定が「無」から「有」に変わり、オア・ゲート10の出力が論理「0」から論理「1」に変わる。その結果今度は、アンド・ゲート12と13はインヒビットされ、アンド・ゲート14のみがラスタ走査に従ってウインドウ・ビデオ・データを出力し、画面上にウインドウを表示する。

(発明の効果)

以上の説明から明らかなように、本発明によれば、一方では、パターン・データをラスタ走査に従って常時読み出し、他方では、領域判定回路でウインドウの有無を判定し、該判定に従ってパターン・データとウインドウ・ビデオ・データとを切り換えることにより、自動的に背景を表示するように構成したので、簡単なハードウェアを用意

するだけで、背景用としてのビデオRAMを不要とすると共に、ウインドウ表示制御の高速化を図ることができる。

4. 図面の簡単な説明

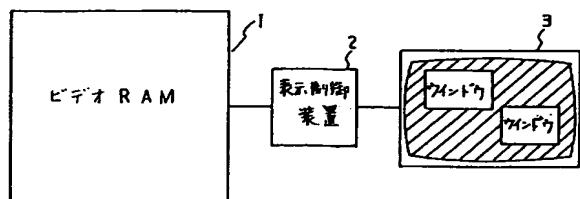
第1図はビット・マップ構造のビデオRAMを備えたCRTディスプレイを説明する図、第2図は本発明の1実施例構成を示す図、第3図は背景のパターン設定例を示す図である。

1…ビデオRAM、2…表示制御装置、3…画面
4と5…パターン・メモリ、6と7…シフト・レジスタ、8…フリップ・フロップ、9…領域判定回路、10と11…オア・ゲート、12ないし14…アンド・ゲート。

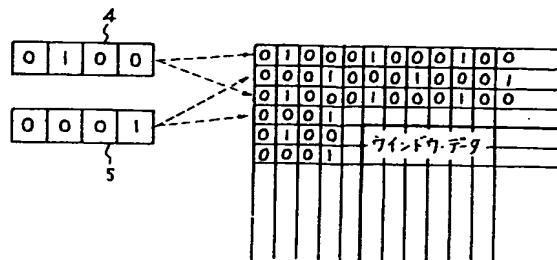
特許出願人 バナファコム株式会社

代理人弁理士 長谷川 文廣(外1名)

第1図



第3図



第2図

